

明細書

フラットディスプレイ装置

発明の背景

5

技術分野

本発明は、フラットディスプレイ装置に関し、例えば絶縁基板上に駆動回路を一体に形成した液晶表示装置に適用することができる。本発明は、階調データを複数系統に振り分ける際のサンプリングに対応するタイミングで、各系統の階調データを対応する水平駆動回路でサンプリングすることにより、従来に比して構成を簡略化し、さらには消費電力を少なくすることができる。

背景技術

近年、例えばPDA（Personal Digital Assistants）、携帯電話等の携帯端末装置に適用されるフラットディスプレイ装置である液晶表示装置においては、
15 液晶表示パネルを構成する絶縁基板であるガラス基板上に、液晶表示パネルの駆動回路を一体に形成することにより、いわゆる狭額縁化を図り、構成を簡略化し、消費電力を低減するようになされている。

このような液晶表示装置においては、例えば奇数列の画素と偶数列の画素とをそれぞれ奇数列用及び偶数列用の水平駆動回路で駆動し、これら奇数列用及び偶数列用の水平駆動回路をそれぞれ液晶表示パネルの上下に配置することにより、
20 表示部における配線パターンを効率良くレイアウトして高精細に画素を配置するようになされている。

すなわち第1図は、この種の液晶表示装置を示す平面図である。この液晶表示装置1は、液晶セル、この液晶セルのスイッチング素子であるポリシリコンTFT（Thin Film Transistor：薄膜トランジスタ）、保持容量とにより各画素が
25 形成され、この各画素をマトリックス状に配置して矩形形状による表示部2が形成される。液晶表示装置1は、この表示部2の対向する上下の辺に沿って、それぞれ奇数列用及び偶数列用の水平駆動回路3O、3Eが形成され、残る縦方向に延長する2辺のうちの1辺に沿って垂直駆動回路5が形成される。液晶表示装置

1 は、シリアルパラレル変換回路（S P 変換回路）6 を介してそれぞれ奇数列用及び偶数列用の階調データ D_{odd} 、 D_{even} が例えばラスタ走査順に入力される。なおここで階調データは、表示部 2 における各画素の明るさを示すデータである。

- 5 この液晶表示装置 1 において、タイミングジェネレータ 7 は、この液晶表示装置 1 の動作に必要な動作基準の各種タイミング信号を生成して出力する。この処理において、タイミングジェネレータ 7 は、第 2 図に示すように、この液晶表示装置 1 に供給されるシリアルデータによる階調データ D_1 に同期したマスタクロック MCK を上位のクロックジェネレータより入力し（第 2 図（A）及び（B）
- 10 ））、このマスタクロック MCK を分周、位相調整して画像データ D_1 のサンプリングクロック sck （第 2 図（C））を生成する。またこのサンプリングクロック sck の位相を補正し、このサンプリングクロック sck を基準にしてサンプリングしたデータについて、このサンプリングしたデータの位相を補正するタイミング補正用のクロック dck （第 2 図（F））を生成する。またこのサンプリ
- 15 ングクロック sck を分周し、奇数列用及び偶数列用の階調データ D_{odd} 、 D_{even} について、水平駆動回路 3 O、3 E におけるサンプリング用のサンプリングクロック HCK （第 2 図（I））を生成する。

- シリアルパラレル変換回路 6 は、第 3 図に示すように、階調データ D_1 をそれぞれ奇数列用及び偶数列用のサンプリングラッチ 8 O、8 E に入力し、偶数列用のサンプリングラッチ 8 E においては、サンプリングクロック sck により階調データ D_1 をサンプリングして出力するのに対し（第 2 図（B）、（C）及び（E））、奇数列用のサンプリングラッチ 8 O においては、インバータ 9 を介してサンプリングクロック sck を入力することにより、このサンプリングクロック sck の反転信号により階調データ D_1 をサンプリングして出力する（第 2 図（B）、（C）及び（D））。これによりシリアルパラレル変換回路 6 は、順次入力される階調データ D_1 を順次循環的にサンプリングして複数系統の階調データに変換するようになされ、この液晶表示装置 1 は、この複数系統が奇数列用及び偶数列用の 2 系統に設定されるようになされている。
- 20
- 25

位相調整回路 10 O 及び 10 E は、それぞれサンプリングラッチ 8 O 及び 8 E

の出力データD o d及びD e vをタイミング補正用のクロックd c kによりラッチし、これによりこれら奇数列用及び偶数列用の階調データD o d及びD e vのタイミングを補正する。これによりシリアルパラレル変換回路6は、タイミングの一致してなる奇数列用及び偶数列用による2系統の階調データD o d d及びD e v e nを位相調整回路1 0 O及び1 0 Eから出力する（第2図（G）及び（H））。データ出力回路1 1 O及び1 1 Eは、バッファ回路により構成され、これら奇数列用及び偶数列用の階調データD o d d及びD e v e nをそれぞれ対応する奇数列用及び偶数列用の水平駆動回路3 O及び3 Eに出力する。

これらにより奇数列用及び偶数列用の水平駆動回路3 O及び3 Eにおいては、
10 それぞれ奇数列用及び偶数列用の階調データD o d d及びD e v e nが同期して入力され、この階調データD o d d及びD e v e nに基づいて、それぞれ奇数列及び偶数列の画素について、階調を設定する。すなわち水平駆動回路3 O及び3 Eにおいて、それぞれサンプリングラッチ1 2 O及び1 2 Eは、サンプリングクロックH C Kを基準にして、奇数列及び偶数列の列数による複数のラッチにより
15 この画像データを順次循環的にラッチする（第2図（G）、（H）及び（I））。これにより水平駆動回路3 O、3 Eは、それぞれラスタ走査順で入力される階調データD o d d及びD e v e nをライン単位で区切ってサンプリングラッチ1 2 O、1 2 Eに一時保持する。

続く第2ラッチ1 3 O、1 3 Eは、それぞれサンプリングラッチ1 2 O、1 2 Eを構成する各ラッチのラッチ結果を水平走査の周期で同時並列的にラッチし、これによりこのようにしてライン単位による階調データD o d d、D e v e nをライン単位でまとめて続くデジタルアナログ変換回路（D A C : Digital to Analog Converter）1 4 O、1 4 Eに出力する。デジタルアナログ変換回路1 4 O、1 4 Eは、それぞれ第2ラッチ1 3 O、1 3 Eから出力される複数系統の
25 階調データD o d d、D e v e nをデジタルアナログ変換処理して出力することにより、これら各階調データD o d d、D e v e nに対応する各画素の駆動信号を生成して出力する。これにより水平駆動回路3 O及び3 Eは、サンプリングラッチ1 2 O、1 2 Eによるサンプリング結果により対応する列への出力信号レベルを設定するようになされている。

水平駆動回路 3 O、3 E は、このようにして形成される複数系統の駆動信号が表示部 2 の信号線（列線）に供給され、これにより各信号線においては、それぞれ奇数列及び偶数列について、縦方向に連続する画素の階調データ D_{odd} 、 D_{even} に対応する駆動電圧に、順次循環的に設定されるようになされている。

- 5 垂直駆動回路 5 においては（第 1 図）、この信号線における駆動電圧の設定に対応して、表示部 2 のゲート線（行線）を順次選択して対応する画素の TFT をオン状態に設定する。これにより液晶表示装置 1 においては、階調データ D_1 による所望の画像を表示し得るようになされている。

- しかして液晶表示装置 1 においては、このように水平駆動回路 3 O、3 E のサ
10 ンプリングラッチ 1 2 で順次入力される階調データ D_{odd} 及び D_{even} を順次サンプリングしてライン単位でまとめ、第 2 ラッチ 1 3 O、1 3 E に転送することにより、このサンプリングラッチ 1 2 におけるラッチの順序にあつては、この液晶表示装置 1 に入力される画像データ D_1 の配列に対応して種々に設定することができ、例えば特開平 1 0 - 1 7 3 7 1 号公報、特開平 1 0 - 1 7 7 3 6 8
15 号公報等においては、これらの設定に係る種々の工夫が提案されるようになされている。

ところでこの種の液晶表示装置においては、駆動回路の構成を簡略化し、さらには消費電力を少なくすることが求められる。

20 発明の開示

本発明は以上の点を考慮してなされたもので、従来に比して構成を簡略化し、さらには消費電力を少なくすることができるフラットディスプレイ装置を提案しようとするものである。

- かかる課題を解決するため本発明においては、フラットディスプレイ装置に適
25 用して、シリアルパラレル変換回路は、順次循環的なサンプリングに対応するタイミングにより複数系統の階調データをそれぞれ対応する水平駆動回路に出力し、各系統の水平駆動回路は、それぞれシリアルパラレル変換回路における順次循環的なサンプリングに対応するタイミングにより、複数のサンプリング回路で、対応する系統の階調データをサンプリングする。

- 本発明の構成によれば、フラットディスプレイ装置に適用して、シリアルパラレル変換回路は、順次循環的なサンプリングに対応するタイミングにより複数系統の階調データをそれぞれ対応する水平駆動回路に出力し、各系統の水平駆動回路は、それぞれシリアルパラレル変換回路における順次循環的なサンプリングに
- 5 対応するタイミングにより、複数のサンプリング回路で、対応する系統の階調データをサンプリングすることにより、シリアルパラレル変換回路から出力される複数系統の階調データにおいては、シリアルパラレル変換回路における順次循環的なサンプリングに対応するタイミングで出力された後、このタイミングに対応するサンプリングにより各水平駆動でサンプリングされる。これによりシリアル
- 10 パラレル変換回路から何らタイミングの一致を図ることなく階調データを出力して画像の表示に供することができ、その分、タイミングの一致を図る構成を省略して構成を簡略化し、また消費電力を少なくすることができる。

図面の簡単な説明

- 15 第1図は、従来の液晶表示装置を示すブロック図である。
- 第2図は、従来の液晶表示装置の動作の説明に供するタイムチャートである。
- 第3図は、従来の液晶表示装置の一部を詳細に示すブロック図である。
- 第4図は、本発明の第1の実施例に係る液晶表示装置を示すブロック図である。
- 20 第5図は、第4図の液晶表示装置の動作の説明に供するタイムチャートである。
- 第6図は、第4図の液晶表示装置の一部を詳細に示すブロック図である。
- 第7図は、第4図の水平駆動回路を示すブロック図である。
- 第8図は、本発明の第2の実施例に係る液晶表示装置の一部を示すブロック図
- 25 である。
- 第9図は、第8図の液晶表示装置におけるサンプリングラッチを示す接続図である。
- 第10図は、本発明の第3の実施例に係る液晶表示装置の一部を示すブロック図である。

発明を実施するための最良の形態

以下、適宜図面を参照しながら本発明の実施例を詳述する。

(1) 第1の実施例

5 (1-1) 第1の実施例の構成

第4図は、第1図との対比により本発明の実施例に係る液晶表示装置を示すブロック図である。この液晶表示装置21においては、シリアルパラレル変換回路26、水平駆動回路23O、23E、これらシリアルパラレル変換回路26及び水平駆動回路23O、23Eに係るタイミングジェネレータ27の構成が異なる
10 点を除いて、第1図について上述した液晶表示装置1と同一に構成される。

この液晶表示装置21は、例えば携帯電話に組み込まれて、この携帯電話の画像データを処理する中央処理ユニットから、赤色、青色、緑色の各画素の階調を示してなる階調データD11の入力を受け付ける。この実施例において、階調データD11は、赤色、青色、緑色の各画素の階調データが同時並列的に、ラスタ
15 走査の順序により供給されるようになされている。ここで各画素においては、6ビットの階調データが割り当てられるようになされ、これによりこの実施例では18ビットパラレル(6ビット×3)による階調データD11が入力されるようになされている。

タイミングジェネレータ27は、第5図に示すように、この階調データD11
20 に同期したマスタクロックMCKを上位のクロックジェネレータより入力し(第5図(A)及び(B))、このマスタクロックMCKを分周、位相調整して画像データD11のサンプリングクロックsck(第5図(C))を生成する。またこのサンプリングクロックsckを分周、位相補正し、奇数列用の階調データDoddについて、水平駆動回路23Oにおけるサンプリング用のサンプリングクロックHCKod(第5図(F))を生成する。また同様にサンプリングクロックsckを処理して、このサンプリングクロックHCKod(第5図(F))に対して1/4クロック周期だけ位相が遅延してなる水平駆動回路23Eにおけるサンプリング用のサンプリングクロックHCKev(第5図(G))を生成する。
25

第3図との対比により第6図に示すように、シリアルパラレル変換回路26は、18ビットパラレルの階調データD11をそれぞれ奇数列用及び偶数列用のサンプリングラッチ28O、28Eに入力し、偶数列用のサンプリングラッチ28Eにおいては、サンプリングクロックsckにより階調データD11をサンプリングして出力するのに対し（第5図（B）、（C）及び（E））、奇数列用のサンプリングラッチ28Oにおいては、インバータ29を介してサンプリングクロックsckを入力することにより、このサンプリングクロックsckの反転信号により階調データD11をサンプリングして出力する（第5図（B）、（C）及び（D））。これによりシリアルパラレル変換回路26は、順次入力される階調データD1を交互に奇数列用及び偶数列用に振り分けるようになされている。しかしてこの実施例では、表示部2に形成された赤色、青色、緑色による1組の画素により、順次奇数列、偶数列が形成されることになる。

シリアルパラレル変換回路26は、このようにしてサンプリングラッチ28O、28Eにそれぞれラッチされてなる奇数列用及び偶数列用の階調データDod及びDevをそれぞれバッファ回路構成によるデータ出力回路31O及び31Eを介して奇数列用及び偶数列用の水平駆動回路23O及び23Eに出力する。これによりシリアルパラレル変換回路26は、位相調整回路が省略され、また階調データD11のビット数に対応して構成される点を除いて、第3図について上述したシリアルパラレル変換回路6と同一に構成されるようになされている。

しかしてこれによりシリアルパラレル変換回路26は、サンプリングラッチ28O、28Eにおける順次循環的なサンプリングに対応するタイミングにより複数系統の階調データをそれぞれ対応する水平駆動回路23O、23Eに出力するようになされ、この実施例では、サンプリングラッチ28O、28Eのサンプリングによりタイミングが異なってなる奇数列用及び偶数列用の階調データDod及びDevを、この異なるタイミングのままで出力するようになされている。これによりシリアルパラレル変換回路26は、例えば表示部2において、水平方向の1列が240本×赤色、青色、緑色の画素により構成されている場合、水平方向の1ライン分が240本×赤色、青色、緑色分のデータ列による階調データD11を、120本×赤色、青色、緑色分のデータ列による2系統の階調データD

o d 及び D e v に分割するようになされている。

水平駆動回路 2 3 O 及び 2 3 E は、このようにタイミングが異なってなる階調データ D o d 及び D e v に対応して、サンプリングラッチ 2 8 O、2 8 E における順次循環的なサンプリングに対応するタイミングにより、順次、対応する系統
 5 の階調データ D o d 及び D e v をサンプリングする点を除いて、具体的には、それぞれタイミングが異なってなるサンプリングクロック H C K o d 及び H C K e v によりサンプリングラッチ 3 2 O、3 2 E で階調データ D o d 及び D e v を順次ラッチする点を除いて、また階調データ D o d 及び D e v のビット数に対応するように構成される点を除いて、第 3 図について上述した水平駆動回路 3 O 及び
 10 3 E と同一に構成される。

すなわち水平駆動回路 2 3 O 及び 2 3 E において、サンプリングラッチ 3 2 O 及び 3 2 E は、それぞれサンプリングクロック H C K o d 及び H C K e v を基準にして、奇数列及び偶数列の列数による複数のラッチにより階調データ D o d 及び D e v を順次循環的にラッチする（第 5 図（D）～（G））。この実施例にお
 15 いては、第 7 図に示すように、階調データ D 1 1（D o d 及び D e v）が赤色、緑色、青色の画素に対応する各 6 ビットの階調データ D R、D G、D B が同時並列的に伝送されて構成されることにより、サンプリングラッチ 3 2 O 及び 3 2 E は、これら赤色、緑色、青色の階調データ D R、D G、D B をそれぞれサンプリングするサンプリングラッチ（S L）4 2 R、4 2 G、4 2 B を 1 組にした複数
 20 のサンプリングラッチ 4 2 により順次循環的に階調データ D o d 及び D e v をサンプリングする。

続く第 2 ラッチ 3 3 O、3 3 E は（第 6 図）、それぞれサンプリングラッチ 3 2 O、3 2 E を構成する各ラッチのラッチ結果を水平走査の周期で同時並列的にラッチし、これによりこのようにしてライン単位による階調データ D o d、D e
 25 v をライン単位でまとめて続くディジタルアナログ変換回路（D A C : Digital to Analog Converter）3 4 O、3 4 E に出力する。しかしてこの場合も、第 2 ラッチ 3 3 O、3 3 E は、第 7 図に示すように、赤色、緑色、青色の階調データ D R、D G、D B をそれぞれラッチするラッチ 4 3 R、4 3 G、4 3 B を 1 組にした複数のラッチ（L）4 3 によりサンプリングラッチ 3 2 O、3 2 E の出力デ

ータをラッチするようになされている。

ディジタルアナログ変換回路 34 O、34 E は（第 6 図）、それぞれ第 2 ラッチ 33 O、33 E から出力される複数系統の階調データ D o d、D e v をディジタルアナログ変換処理して出力することにより、これら各階調データ D o d、D e v に対応する各画素の駆動電圧を生成して出力する。すなわちこの場合も第 7 図に示すように、ディジタルアナログ変換回路 34 O、34 E は、赤色、緑色、青色の階調データ D R、D G、D B をそれぞれディジタルアナログ変換処理するディジタルアナログ変換回路（D A）44 R、44 G、44 B を 1 組にした複数のディジタルアナログ変換回路 44 によりラッチ 33 O、33 E の出力データを
10 デジタルアナログ変換処理するようになされている。

なお第 7 図に示す構成において、H S T は、ライン走査周期で出力されるタイミングパルスであり、水平駆動回路 23 O、23 E においては、このタイミングパルス H S T をシフトレジスタ（S R）45 によりサンプリングクロック H C K で順次転送してサンプリングラッチ 42 R、42 G、42 B のサンプリングパルス
15 を生成するようになされている。

（1－2）第 1 の実施例の動作

以上の構成において、この液晶表示装置 21 においては（第 4 図）、この液晶表示装置 21 が設けられてなる装置の中央処理ユニット等から、表示に供する各画素の階調を示すデータの連続による階調データ D 1 1 が順次シリアルパラレル
20 変換回路 26 に入力され、ここで順次循環的にサンプリングされて奇数列用の階調データ D o d、偶数列用の階調データ D e v に変換され、水平駆動回路 23 O 及び 23 E において、それぞれ奇数列用の階調データ D o d、偶数列用の階調データ D e v により各列の階調に対応する駆動信号が出力される。またこの駆動信号の出力に対応して垂直駆動回路 5 により表示部 2 のラインが順次循環的に選択
25 され、これにより順次各画素の階調が設定される。これにより水平駆動回路 23 O 及び 23 E により、対応する奇数列、偶数列について、垂直駆動回路 5 で選択されたラインの画素が、階調データ D o d、D e v による階調に設定される。

液晶表示装置 21 においては、このようにして階調データ D 1 1 を 2 系統の階調データ D o d、D e v に変換して各系統の水平駆動回路 23 O、23 E でそれ

ぞれ処理することにより、表示部が高精細により作成されて階調データD 1 1のデータ転送速度が高速度化している場合でも、水平駆動回路2 3 O、2 3 Eにおいては処理速度を低下させて処理することができ、その分、消費電力を低減して簡易な構成により高精細の画像を表示できるようになされている。

- 5 この液晶表示装置2 1においては（第7図）、このようにして処理されてなる階調データD 1 1が、赤色、青色、緑色の画素に対応する各6ビットによる3種類の階調データを1組にして、これら6ビットの階調データが同時並列的に入力されてシリアルパラレル変換回路2 6により2系統に分離され、またこの2系統によるデータがそれぞれ水平駆動回路2 3 O、2 3 Eで処理され、これによって
- 10 もシリアルパラレル変換回路2 6、水平駆動回路2 3 O、2 3 Eの処理速度を低下させて消費電力を低減し、簡易な構成により高精細の画像を表示できるようになされている。

- またこのようにして階調データを処理するにつき、表示部2を保持するガラス基板上に、これらシリアルパラレル変換回路2 6、水平駆動回路2 3 O、2 3 E
- 15 、垂直駆動回路5、タイミングジェネレータ2 7が一体に作成され、さらにはそれぞれ水平駆動回路2 3 O、2 3 Eが表示部2の上下に設けられ、これらにより各画素と各回路ブロックとの間の配線パターンを効率良く配置して高精細の画像を表示できるようになされ、さらには消費電力を低減し、いわゆる狭額縁化できるようになされている。

- 20 このようにして2系統の水平駆動回路2 3 O、2 3 Eにより階調データD o d、D e vを処理するにつき、この液晶表示装置2 1では（第4図及び第6図）、シリアルパラレル変換回路2 6において、階調データD 1 1が順次循環的にサンプリングされて奇数列及び偶数列による2系統の階調データD o d、D e vに変換された後、このサンプリングに係るタイミングのまま水平駆動回路2 3 O、2
- 25 3 Eに出力され、水平駆動回路2 3 O、2 3 Eでシリアルパラレル変換回路2 6におけるサンプリングに係るタイミングに対応するタイミングで、それぞれサンプリングされて処理される。

これにより液晶表示装置2 1では、シリアルパラレル変換回路2 6において、これら階調データD o d、D e vのタイミングを補正する位相調整回路（第3図

）を省略し、その分、従来に比して構成を簡略化できるようになされ、また消費電力を少なくすることができるようになされている。具体的に、第3図について上述した位相調整回路100、10Eは、通常1ビット当たり20個程度のトランジスタにより構成され、これによりこの実施例のように赤色、青色、緑色に係る各Nビット階調データを同時並列的に処理する場合、20個×3×2×N個のトランジスタが位相調整回路100、10Eに必要となる。この実施例の場合では、このNビットが6ビットであることにより、720個のトランジスタが必要になる。これによりこの液晶表示装置21においては、第3図について上述した液晶表示装置1に比して、トランジスタを720個少なくすることができ、その分、消費電力を低減し、さらには狭額縁化することができる。

なお液晶表示装置21においては、このようにシリアルパラレル変換回路26については、構成を簡略化できるものの、タイミングジェネレータ27においては、水平駆動回路230、23EにそれぞれサンプリングクロックHCKod、HCKevを出力しなければならなくなることにより、構成が煩雑になるとも考えられる。しかしながら實際上、それまで位相調整回路100、10Eに出力していたタイミング補正用のクロックclockを出力しなくてもよくなることにより、タイミングジェネレータ27においては、従来の液晶表示装置1とほぼ同一の規模により構成することができ、これらによりシリアルパラレル変換回路26の構成を簡略化できる分、液晶表示装置21においては、従来に比して構成を簡略化することができる。

(1-3) 第1の実施例の効果

以上の構成によれば、シリアルパラレル変換回路26により階調データを複数系統に振り分けるようにし、この複数系統に振り分ける際のサンプリングに対応するタイミングで、各系統の階調データを対応する水平駆動回路でサンプリングすることにより、シリアルパラレル変換回路26から出力する複数系統の階調データの位相を一致させる構成を省略することができ、その分、従来に比して構成を簡略化し、さらには消費電力を少なくすることができる。

またこのシリアルパラレル変換回路、複数系統の水平駆動回路、シリアルパラレル変換回路及び数系統の水平駆動回路に動作基準のタイミング信号を出力する

タイミングジェネレータを表示部の絶縁基板上に一体に形成するようにして、表示部の周辺構成を簡略化することができ、その分、狭額縁化することができる。

またこの複数系統を、表示部における奇数列と偶数列とに対応する系統であるようにし、各系統の水平駆動回路を表示部の上下にそれぞれ配置することにより

5、表示部における配線パターンを効率良くレイアウトして高精細に画素を配置することができる。

(2) 第2の実施例

第8図は、本発明の第2の実施例に係る液晶表示装置51を示すブロック図である。この実施例では、赤色、青色、緑色の画素に対応する階調データの連続による階調データD21が入力され、これにより第1の実施例について上述した階調データD11の処理に係る液晶表示装置21に比して、高転送レートによる階調データD21により画像表示するようになされている。

10

この液晶表示装置51においては、シリアルパラレル変換回路56によりこの階調データD21を順次循環的にサンプリングして奇数列及び偶数列の階調データD_{od}及びD_{ev}を生成し、この奇数列及び偶数列の階調データD_{od}及びD_{ev}によりそれぞれ水平駆動回路53O及び53Eで表示部2を駆動するようになされている。液晶表示装置51において、水平駆動回路53O及び53Eは、この液晶表示装置51に入力される階調データD21のビット数に対応して、処理対象である階調データD_{od}及びD_{ev}のビット数が異なる点に係る構成、奇数列及び偶数列が表示部2の水平方向の画素単位で設定されてなる点に係る構成を除いて、第1の実施例に係る水平駆動回路23O及び23Eと同一に構成されるようになされている。

15

20

これに対してシリアルパラレル変換回路56は、階調データD21を順次循環的にサンプリングし、このサンプリングに対応するタイミングにより複数系統の階調データD_{od}及びD_{ev}をそれぞれ対応する水平駆動回路53O及び53Eに出力し、これにより液晶表示装置51では、第1の実施例と同一の効果を得ることができるようになされている。

25

この実施例において、シリアルパラレル変換回路56は、この順次循環的なサンプリングの際に、階調データD21の振幅を拡大して複数系統のデータに変換

した後、これら各系統のデータの振幅を抑圧して元の振幅により出力するようになされ、これにより高転送レートによる階調データD 2 1について、確実に処理できるようになされている。

このため液晶表示装置5 1においては、第8図において符号A及びCにより破線5
5 線で囲って示すように、シリアルパラレル変換回路5 6の入力側、シリアルパラレル変換回路5 6の出力側及び水平駆動回路5 3 O、5 3 E等が、階調データD 2 1の出力回路と同一の電源電圧に保持された低電圧ブロックにより作成され、また符号Bにより破線5
10 クにより構成されるようになされている。

シリアルパラレル変換回路5 6は、このような振幅の拡大、縮小をレベルシフトにより実行する。すなわち第9図は、このシリアルパラレル変換回路5 6を構成するサンプリングラッチ5 8 Oの1ビット分の構成を示す接続図である。なお偶数系統のサンプリングラッチ5 8 Eにおいては、動作基準であるサンプリング
15 クロック s c kが異なる点を除いて同一であることにより、説明は省略する。

シリアルパラレル変換回路5 6は、ゲート及びドレインがそれぞれ共通に接続されたNチャンネルMOS（以下、NMOSと呼ぶ）トランジスタQ 1及びPチャンネルMOS（以下、PMOSと呼ぶ）トランジスタQ 2からなるCMOSインバータと、同様に、ゲート及びドレインがそれぞれ共通に接続されたNMOS
20 トランジスタQ 3及びPMOSトランジスタQ 4からなるCMOSインバータとが電源電圧3. 3〔V〕の電源ラインとグランドとの間に並列に設けられる。シリアルパラレル変換回路5 6は、これら2つのCMOSインバータが直列に接続され、トランジスタQ 1及びQ 2によるインバータに階調データD 2 1が入力される。これによりシリアルパラレル変換回路5 6は、これらトランジスタQ 1～
25 Q 4により振幅が3. 3〔V〕による階調データD 2 1の反転、非反転出力を生成し、これらトランジスタQ 1～Q 4によりコンプリメンタリーパルス発生部を構成する。

さらにシリアルパラレル変換回路5 6は、NMOSトランジスタQ 5及びPMOSトランジスタQ 6からなるCMOSインバータと、NMOSトランジスタQ

- 7及びPMOSトランジスタQ8からなるCMOSインバータとにより比較器構成のCMOSラッチセルが形成され、サンプリングクロックsck（奇数列側ではこのサンプリングクロックsckの反転信号）により動作するNMOSトランジスタQ9を介して、トランジスタQ1～Q4による階調データD21の非反転出力がこのラッチセルに供給される。またシリアルパラレル変換回路56は、NMOSトランジスタQ10及びPMOSトランジスタQ11からなるCMOSインバータと、NMOSトランジスタQ12及びPMOSトランジスタQ13からなるCMOSインバータとに、それぞれトランジスタQ5～Q8によるラッチセルの反転出力、非反転出力が供給され、トランジスタQ10及びQ11によるインバータには、さらにサンプリングクロックsck（奇数列側ではこのサンプリングクロックsckの反転信号）により動作するNMOSトランジスタQ14を介して、トランジスタQ1～Q4による階調データD21の反転出力がこのラッチセルに供給される。また同様に、サンプリングクロックsck（奇数列側ではこのサンプリングsckの反転信号）により動作するPMOSトランジスタQ15を介して、電圧6[V]の電源がこれらラッチセル、インバータに供給される。これによりシリアルパラレル変換回路56は、これらトランジスタQ5～Q15により、1stラッチ部を構成し、サンプリングクロックsckに応じて、トランジスタQ1～Q4による階調データD21の反転、非反転出力の振幅を拡大してラッチするようになされている。
- 20 またシリアルパラレル変換回路56は、NMOSトランジスタQ17及びPMOSトランジスタQ18からなるCMOSインバータと、NMOSトランジスタQ19及びPMOSトランジスタQ20からなるCMOSインバータとにより比較器構成のCMOSラッチセルが電源電圧6[V]により形成され、NMOSトランジスタQ21、Q22を介して、このCMOSラッチセルに1stラッチ部のラッチ結果が供給される。ここでこのNMOSトランジスタQ21、Q22は、トランジスタQ23、Q24によるインバータを介して、サンプリングクロックsckが供給される。シリアルパラレル変換回路56は、NMOSトランジスタQ26及びPMOSトランジスタQ27からなるCMOSインバータを介して、トランジスタQ17～Q20によるラッチセルのラッチ結果を続くデータ出力

回路に出力するようになされている。シリアルパラレル変換回路56は、これらトランジスタQ21～Q27により2ndラッチ部を構成するようになされている。

データ出力回路61O、61Eは、この第9図の構成とは逆に、電源電圧6〔5 V〕の系によりサンプリングラッチ58O、58Eの出力を受け、電源電圧3.3〔V〕の系により出力する。

これによりこの実施例において、サンプリングラッチ58O、58Eは、階調データD21の振幅を拡大して順次循環的にサンプリングして複数系統のデータに変換するデータ変換回路を構成し、データ出力回路61O、61Eは、このデータ変換回路による複数系統のデータをそれぞれについて、振幅を抑圧して複数系統の階調データを出力するレベルシフト回路を構成するようになされている。

この第2の実施例によれば、階調データを複数系統に振り分ける際のサンプリングに対応するタイミングで、各系統の階調データを対応する水平駆動回路でサンプリングするようにして、階調データの振幅を拡大して順次循環的にサンプリングして複数系統のデータに変換し、この複数系統のデータの振幅を抑圧して複数系統の階調データを生成することにより、高転送レートによる階調データを処理する場合に適用して第1の実施例と同様の効果を得ることができる。

(3) 第3の実施例

第10図は、本発明の第3の実施例に係る液晶表示装置81を示すブロック図である。この実施例においては、第2の実施例と同様に、高転送レートによる階調データD21により画像表示する場合に適用して、シリアルパラレル変換回路86において、階調データD21の振幅を拡大して順次循環的にサンプリングして複数系統のデータに変換し、この複数系統のデータの振幅を抑圧して複数系統の階調データを生成する。

この実施例では、このためシリアルパラレル変換回路86において、事前に、レベルシフト回路87により階調データD21の振幅を拡大する。また続くサンプリングラッチ88O、88Eにより階調データD21を順次循環的にサンプリングして複数系統のデータに変換し、データ出力回路61O、61Eにより元の振幅に戻して出力する。

これによりこの実施例においては、レベルシフト回路 87、サンプリングラッチ 88O、88E が、階調データ D21 の振幅を拡大して順次循環的にサンプリングして複数系統のデータに変換するデータ変換回路を構成するようになされている。

- 5 この第3の実施例によれば、事前に振幅を拡大して階調データ D21 を処理するようにしても、第2の実施例と同様の効果を得ることができる。

(4) 他の実施例

- なお上述の実施例においては、赤色、青色、緑色の画素に対応する階調データを1組とした階調データ D11 を2系統に分けて処理する場合、各画素の対応する階調データ D21 を2系統に分けて処理する場合について述べたが、本発明はこれに限らず、例えば赤色、青色、緑色の画素に対応して階調データを3系統に分けて処理する場合等、この系統数については必要に応じて種々に設定することができる。

- また上述の実施例においては、水平駆動回路を表示部の上下に分けて配置する場合について述べたが、本発明はこれに限らず、必要に応じて上下の一方にまとめて配置する場合等にも広く適用することができる。

また上述の実施例においては、本発明を液晶表示装置に適用する場合について述べたが、本発明はこれに限らず、EL (Electro Luminescence) 表示装置等、種々のフラットディスプレイ装置に広く適用することができる。

20

上述のように本発明によれば、階調データを複数系統に振り分ける際のサンプリングに対応するタイミングで、各系統の階調データを対応する水平駆動回路でサンプリングすることにより、従来に比して構成を簡略化し、さらには消費電力を少なくすることができる。

25

産業上の利用可能性

本発明は、フラットディスプレイ装置に関し、例えば絶縁基板上に駆動回路を一体に形成した液晶表示装置に適用することができる。

請求の範囲

1. 各画素の明るさを示す階調データを順次入力し、所定の表示部に前記階調データによる画像を表示するフラットディスプレイ装置において、
 - 5 前記階調データを順次循環的にサンプリングし、前記階調データを複数系統の階調データに変換するシリアルパラレル変換回路と、

前記各系統の階調データに対応して複数設けられ、前記表示部の対応する列の画素について、対応する前記系統の階調データに応じて階調を設定する水平駆動回路とを備え、
 - 10 前記水平駆動回路は、

前記対応する系統の階調データを順次サンプリングし、前記対応する系統の階調データを対応する列に振り分ける複数のサンプリング回路と、

前記サンプリング回路のサンプリング結果により前記列への出力信号レベルを設定するデジタルアナログ変換回路とを有し、
 - 15 前記シリアルパラレル変換回路は、

前記順次循環的なサンプリングに対応するタイミングにより前記複数系統の階調データをそれぞれ対応する前記水平駆動回路に出力し、

前記各系統の水平駆動回路は、

それぞれ前記シリアルパラレル変換回路における順次循環的なサンプリングに
 - 20 対応するタイミングにより、前記複数のサンプリング回路で、前記対応する系統の階調データをサンプリングする

ことを特徴とするフラットディスプレイ装置。
2. 前記シリアルパラレル変換回路、前記複数系統の水平駆動回路、前記シリアルパラレル変換回路及び前記複数系統の水平駆動回路に動作基準のタイミング信号を出力するタイミングジェネレータが、前記表示部の絶縁基板上に形成されたことを特徴とする請求の範囲第1項に記載のフラットディスプレイ装置。
3. 前記複数系統が、前記表示部における奇数列と偶数列とに対応する系統であ

り、

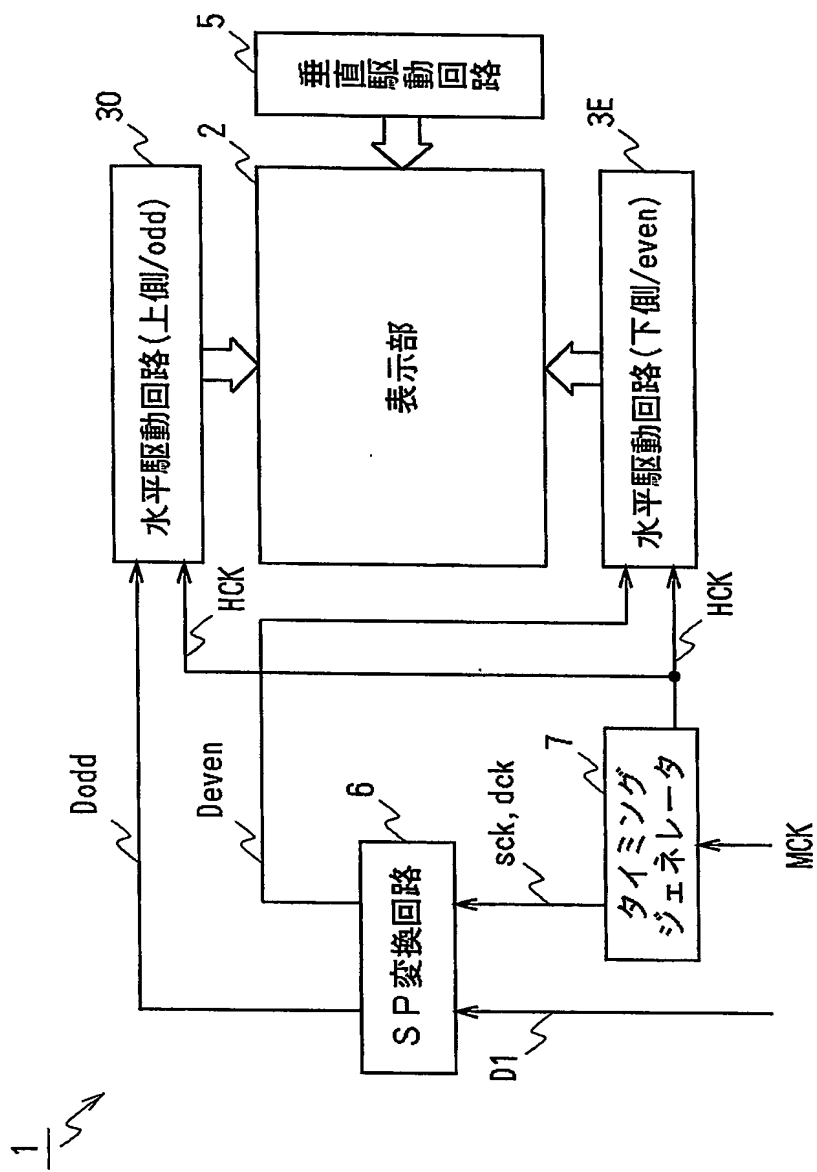
前記各系統の水平駆動回路が、前記表示部の上下にそれぞれ配置されたことを特徴とする請求の範囲第1項に記載のフラットディスプレイ装置。

5 4. 前記シリアルパラレル変換回路は、

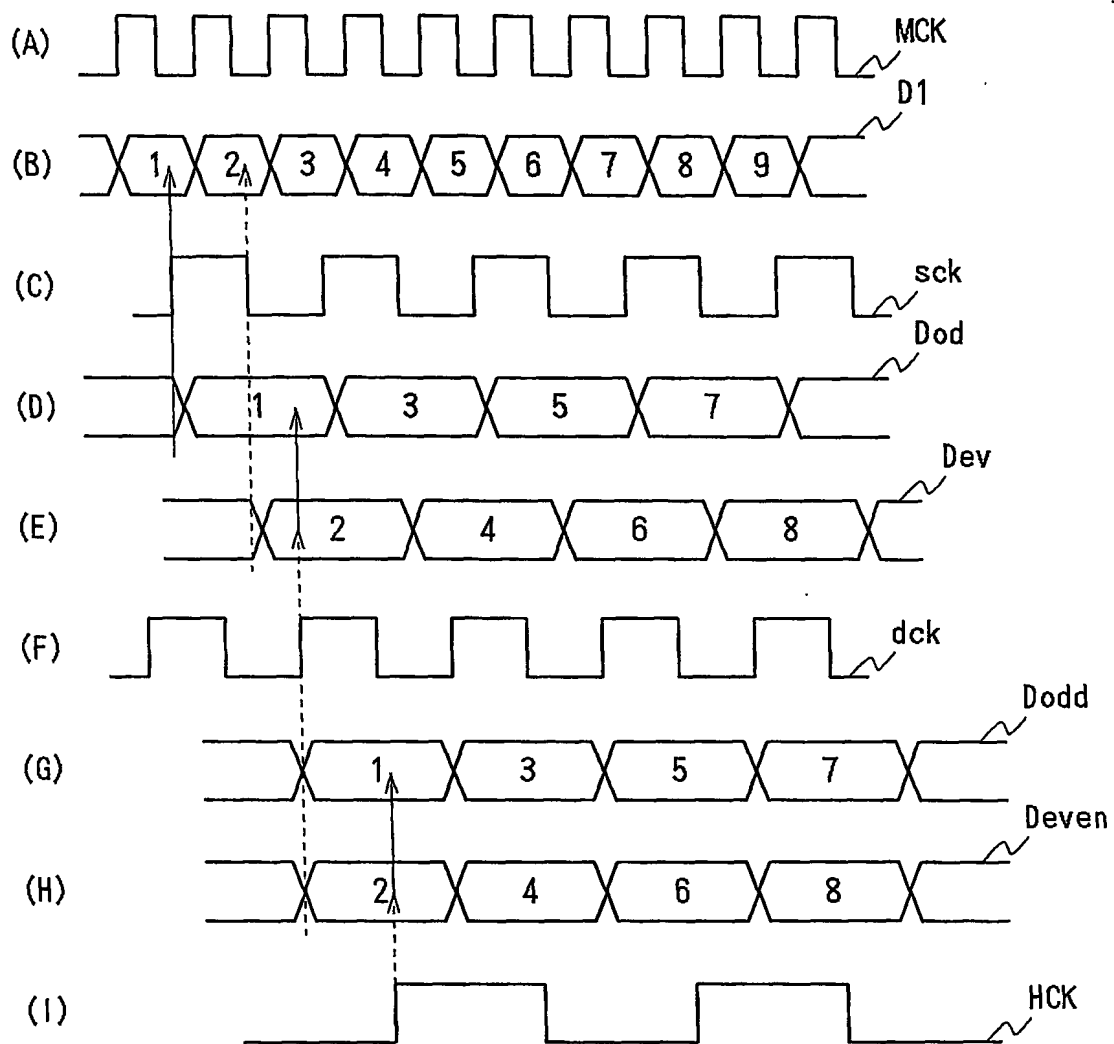
前記階調データの振幅を拡大して順次循環的にサンプリングして複数系統のデータに変換するデータ変換回路と、

前記データ変換回路による複数系統のデータのそれぞれについて、振幅を抑圧して前記複数系統の階調データを出力するレベルシフト回路とを有する

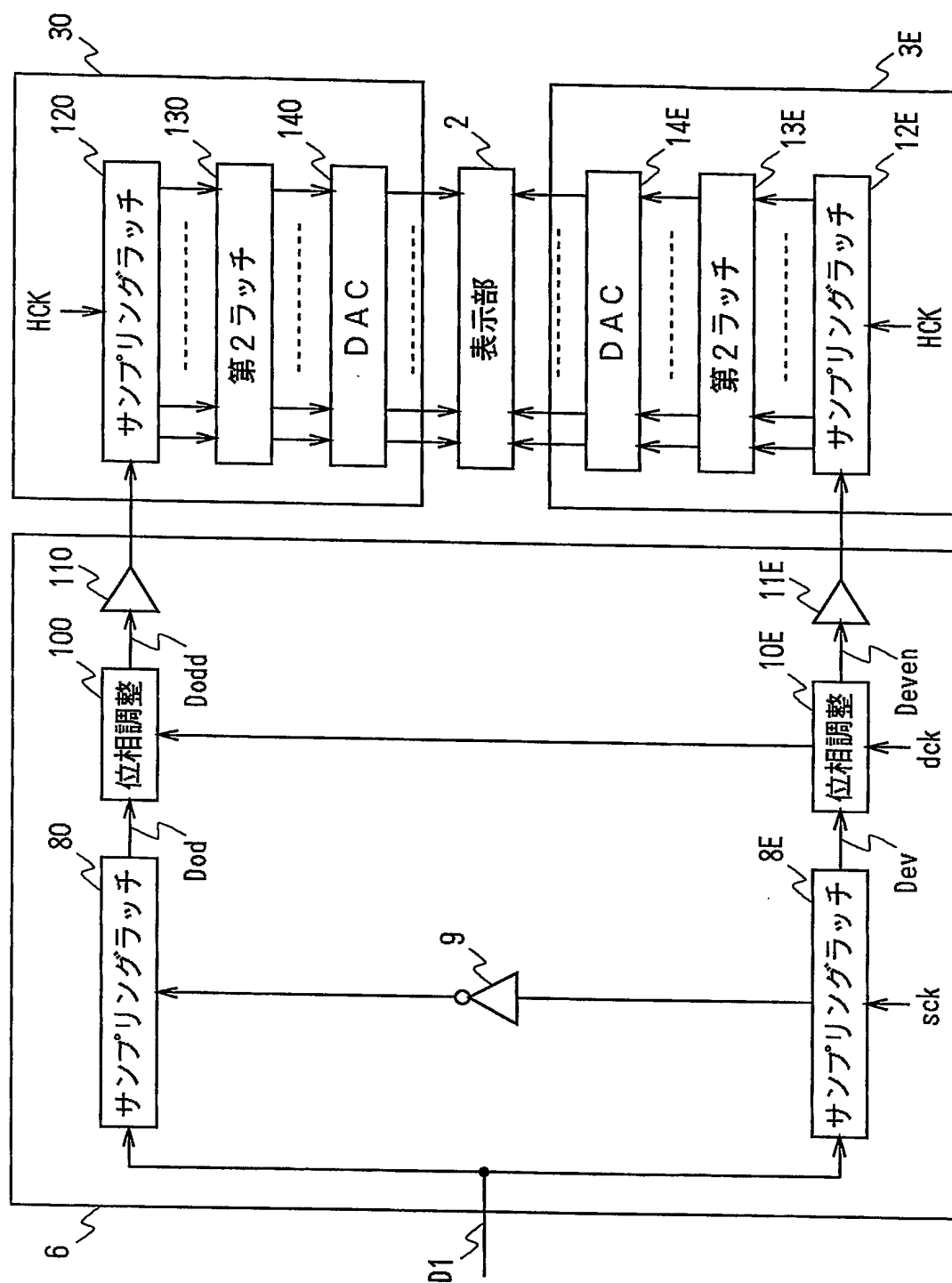
10 ことを特徴とする請求の範囲第1項に記載のフラットディスプレイ装置。



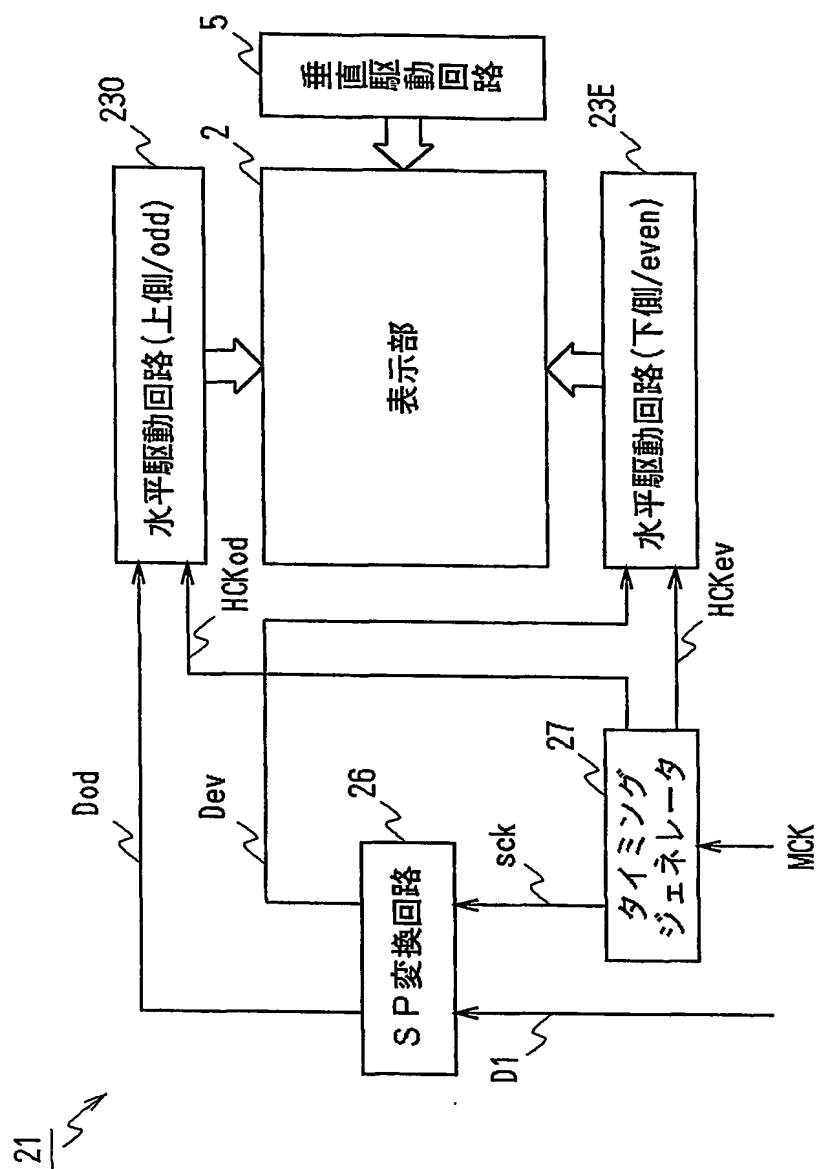
第1図



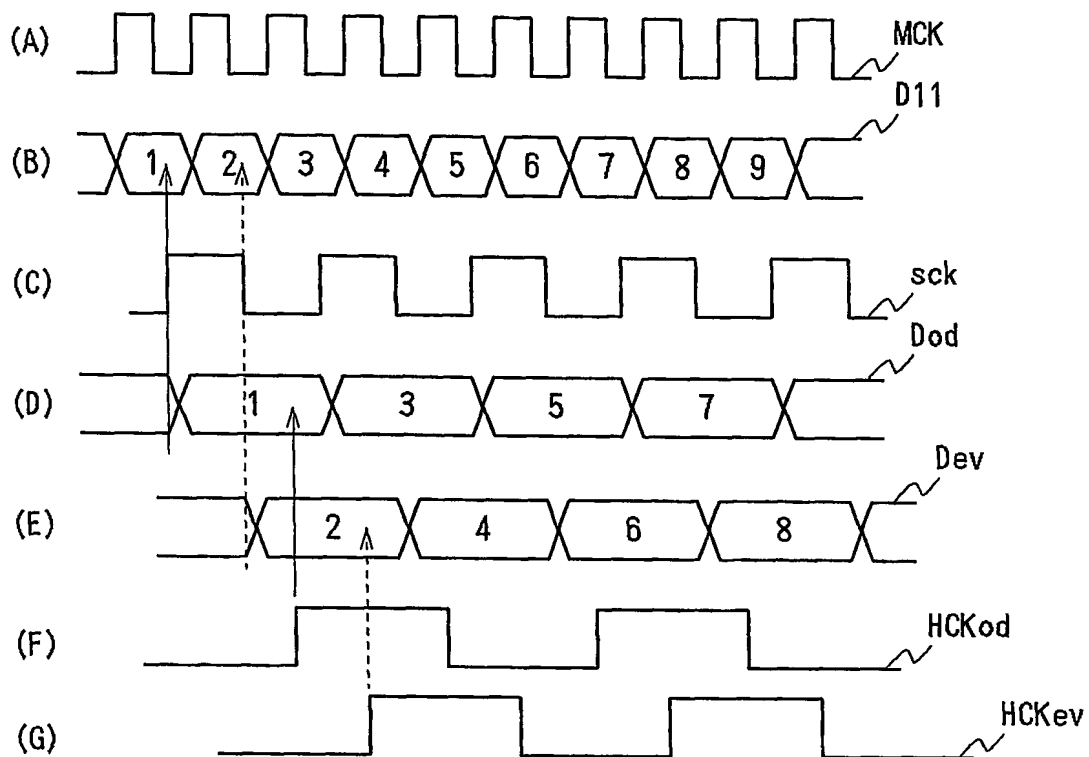
第 2 図



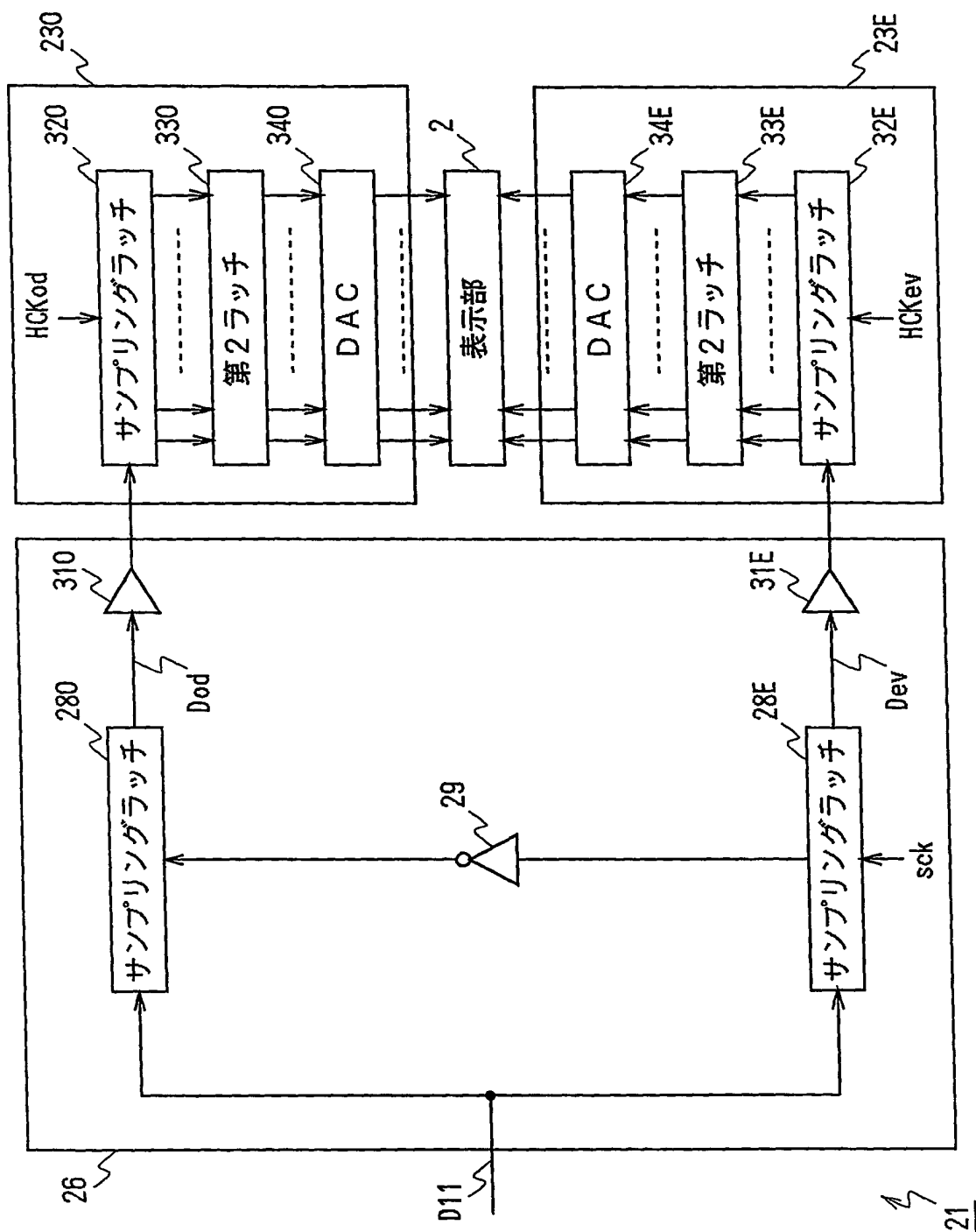
第3図



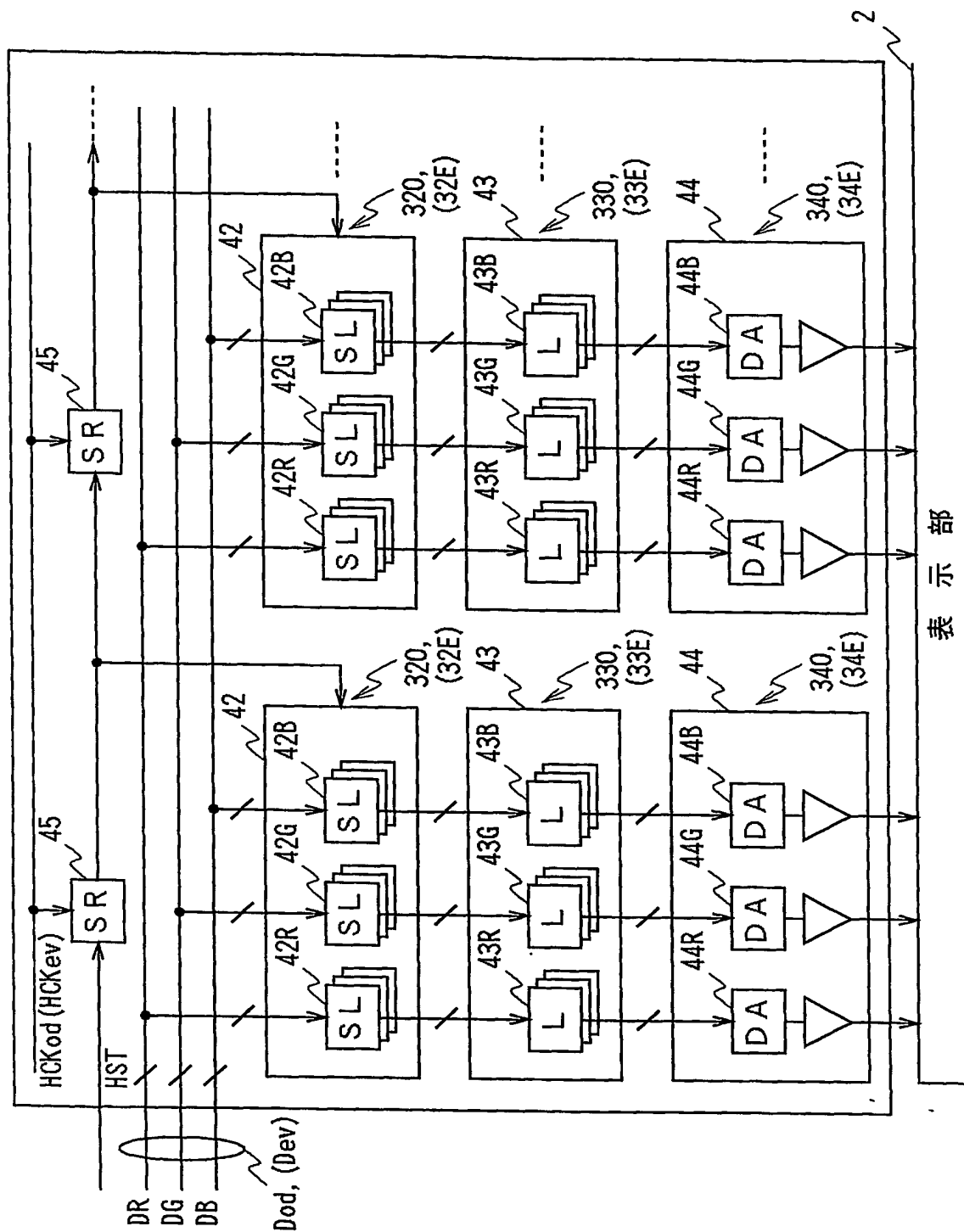
第4図



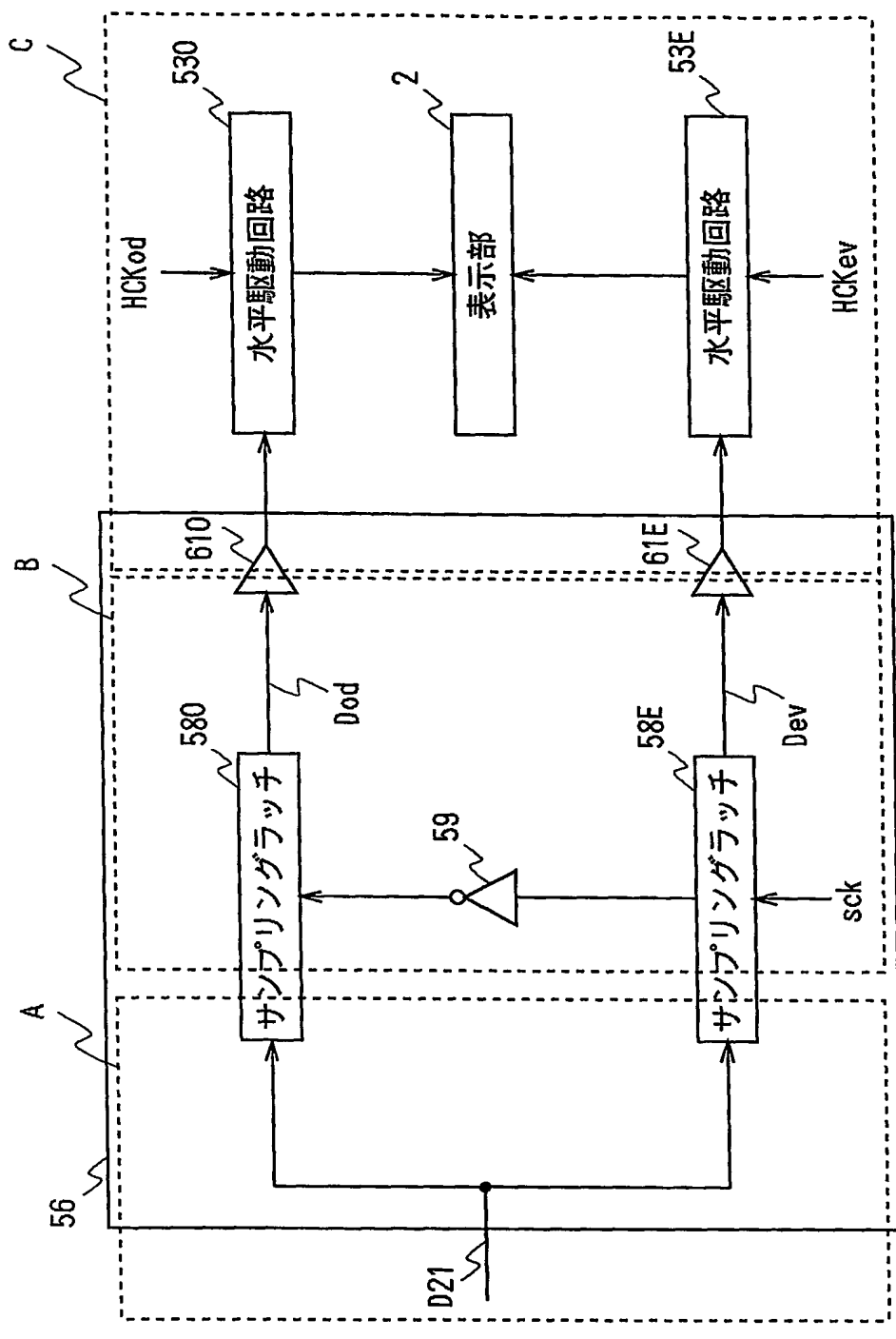
第5図



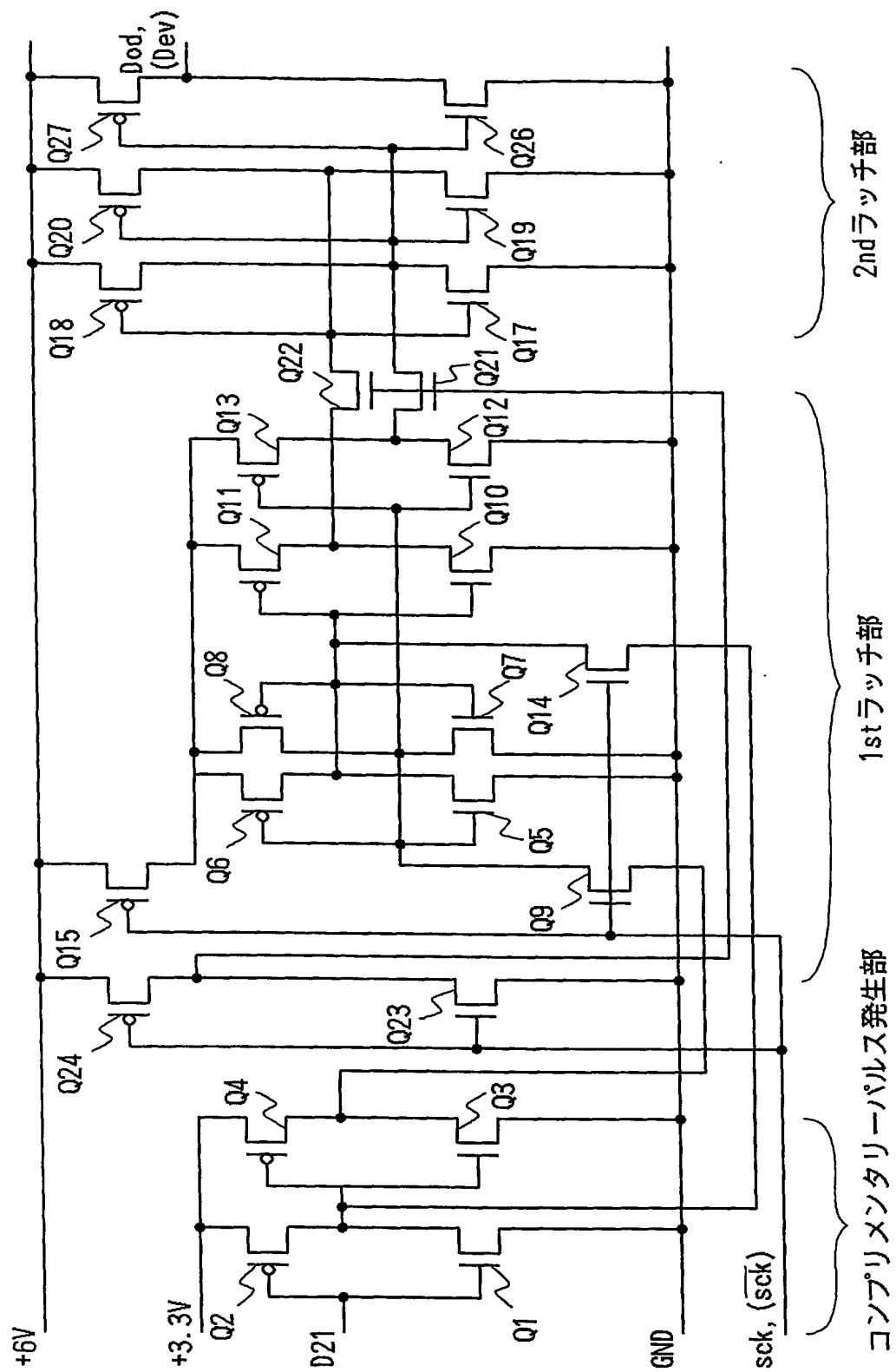
第6図



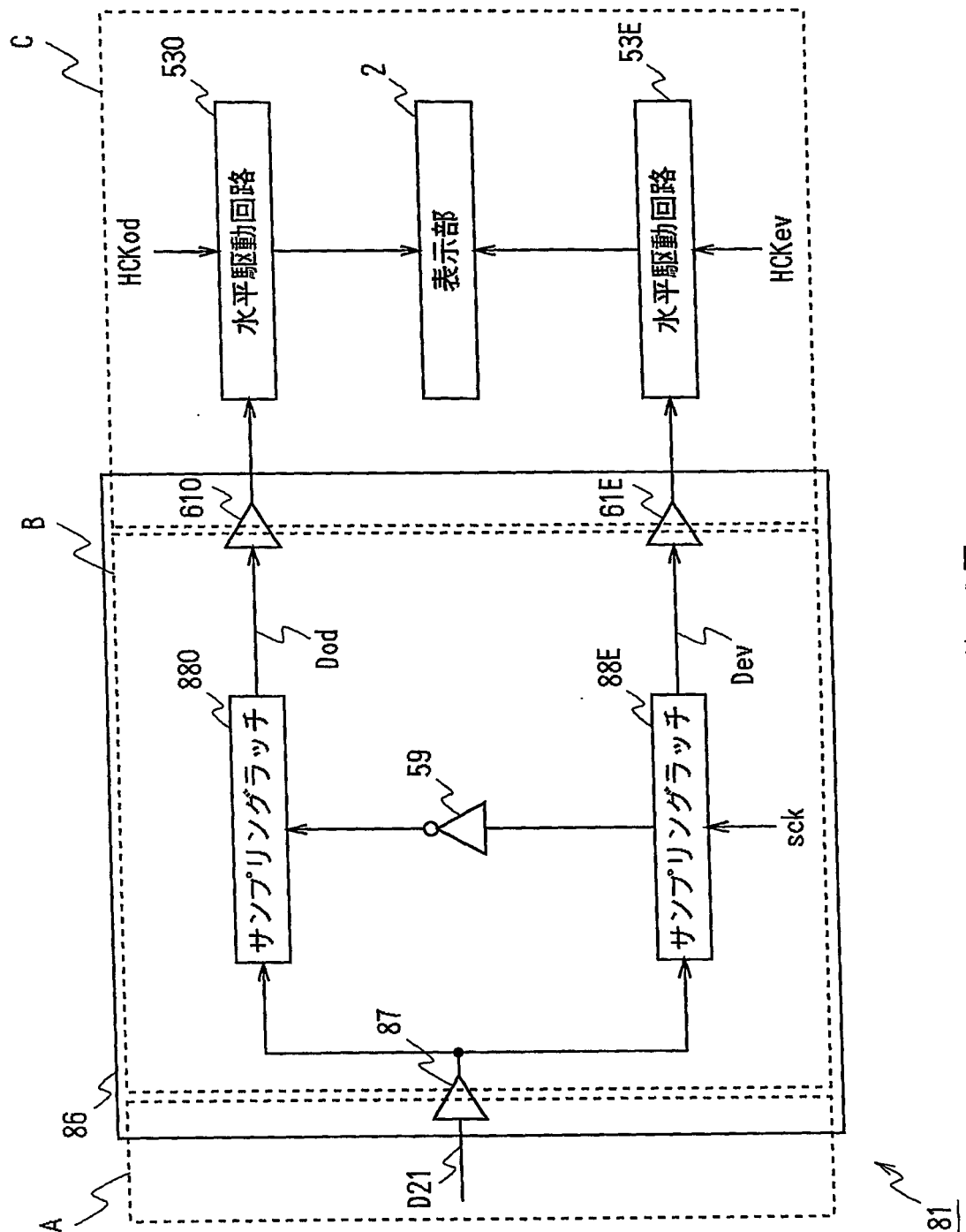
第7図



第8図



第9図



第10図

符号の説明

1、21、51、81……液晶表示装置、2……表示部、3O、3E、23O、23E、53O、53E……水平駆動回路、5……垂直駆動回路、6、26、56、86……シリアルパラレル変換回路、7、27……タイミングジェネレータ、8O、8E、12O、12E、28O、28E、32O、32E、42、42R、42G、42B、58O、58E、88O、88E……サンプリングラッチ、9、29……インバータ、10O、10E……位相調整回路、11O、11E、31O、31E、61O、61E……データ出力回路、13O、13E、33O、33E、43、43R、43G、43B……ラッチ、14O、14E、34O、34E、44、44R、44G、44B……デジタルアナログ変換回路、45……シフトレジスタ、87……レベルシフト回路、Q1～Q15、Q17～Q24、Q26、Q27……トランジスタ

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/009235

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G09G3/36, 3/20

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G09G3/36, 3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2001-242833 A (Sharp Corp.), 07 September, 2001 (07.09.01), Par. Nos. [0041] to [0055], [0078]; Figs. 1, 4 to 5 & US 6621478 B1	1-2, 4 3
X Y	JP 10-268838 A (Hitachi, Ltd.), 09 October, 1998 (09.10.98), Par. Nos. [0093] to [0099]; Fig. 11 (Family: none)	1, 4 3
Y	JP 6-289822 A (Matsushita Electric Industrial Co., Ltd.), 18 October, 1994 (18.10.94), Fig. 5 (Family: none)	3

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
25 August, 2004 (25.08.04)

Date of mailing of the international search report
21 September, 2004 (21.09.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/009235

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 3-132274 A (Sanyo Electric Co., Ltd.), 05 June, 1991 (05.06.91), Fig. 1 (Family: none)	3

国際調査報告

国際出願番号 PCT/JP2004/009235

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int.Cl¹ G09G 3/36, 3/20

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int.Cl¹ G09G 3/36, 3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
日本国公開実用新案公報 1971-2004年
日本国実用新案登録公報 1996-2004年
日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 2001-242833 A (シャープ株式会社) 2001.09.07 段落【0041】-【0055】、【0078】、【図1】、 【図4】-【図5】 & US 6621478 B1	1-2, 4 3
X Y	JP 10-268838 A (株式会社日立製作所) 1998.10.09 段落【0093】-【0099】、【図11】 (ファミリーなし)	1, 4 3

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日
25.08.2004

国際調査報告の発送日
21.9.2004

国際調査機関の名称及びあて先
日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
西島 篤宏
2G 9308
電話番号 03-3581-1101 内線 3225

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 6-289822 A (松下電器産業株式会社) 1994. 10. 18, 【図5】 (ファミリーなし)	3
Y	J P 3-132274 A (三洋電機株式会社) 1991. 06. 05, 第1図 (ファミリーなし)	3